

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-066903

(43)Date of publication of application : 03.03.2000

(51)Int.Cl.

G06F 9/46

(21)Application number : 10-232483

(71)Applicant : NEC MOBILE COMMUN LTD

(22)Date of filing : 19.08.1998

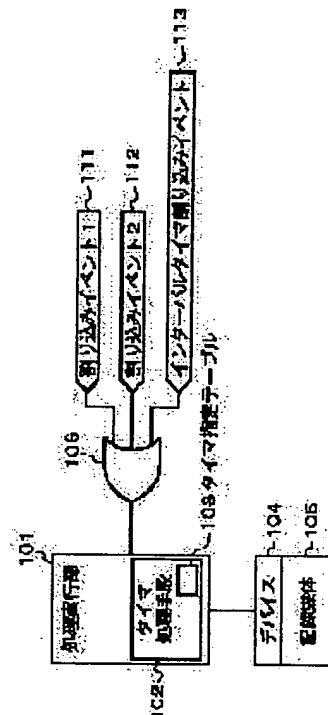
(72)Inventor : TSUJITA KEISUKE

(54) INTERRUPT PROCESSING SYSTEM AND INTERRUPT PROCESSING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the load of timer resetting processing due to an interval timer interrupt event by providing a timer designation table having information showing a timer counter performing update next.

SOLUTION: A timer processing means 102 is used at the time of performing processing execution of an interval timer interrupt event 113. The timer processing means 102 consists of a timer selecting means which selects a timer to be processed in interval timer interrupt processing, plural timers which decrement timer values corresponding to respective timers in every processing and a timer designation table 103 which designates a timer to be next processed. The table 103 generates a cyclic integer (i) for dispatch processing. When an interval timer interrupt occurs, the main processing part of this system enters timer interrupt processing and the processing of only one timer selected according to the integer (i) is performed.



LEGAL STATUS

[Date of request for examination] 19.08.1998

[Date of sending the examiner's decision of rejection] 13.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The system which is characterized by providing the following and which receives both a timer interrupt and the usual interruption. Two or more timer counters which count the number of times of a receptionist of a timer interrupt. The timer specification table which has the information which shows the timer counter which next updates among two or more aforementioned timer counters, The information which the aforementioned timer specification table has at the time of a timer-interrupt receptionist is referred to. A selection means to choose the timer counter which next updates among two or more aforementioned timer counters, A change means to add change of the value beforehand set to the value of the aforementioned timer counter chosen by the aforementioned selection means, A processing means to perform interruption processing performed at the time of the time-out of the aforementioned timer counter when the value of the aforementioned counter which the aforementioned timer counter changed by the aforementioned change means has fulfills a predetermined value, An updating means to update to the information which shows a timer counter which is different from the aforementioned timer counter in the aforementioned timer specification table.

[Claim 2] Each of two or more aforementioned timer counters is an interruption processing system according to claim 1 which possesses further the initial value defined beforehand and a means to change the value of the aforementioned timer counter into the aforementioned initial value corresponding to the aforementioned timer counter at the time of the aforementioned processing means end.

[Claim 3] a means each of two or more aforementioned timer counters possesses further the processing sequence defined beforehand, and change the aforementioned timer specification table into the information which shows the next timer counter of the aforementioned timer counter by which the aforementioned updating means was processed by the aforementioned processing means with reference to each aforementioned processing sequence of two or more aforementioned timer counters which it has -- a shell -- an interruption processing system according to claim 1 or 2

[Claim 4] The system which is characterized by providing the following and which receives both a timer interrupt and the usual interruption. the timer specification table which has the information which shows the timer counter which next updates among two or more timer counters at the time of a timer-interrupt receptionist -- referring to -- the above -- the selection step which chooses the timer counter which next updates The processing step which performs in the interruption processing performed at the time of the time-out of the aforementioned timer counter when the value of the aforementioned timer counter changed by the change step which adds change of the value beforehand set to the value of the aforementioned timer counter chosen by the aforementioned selection step, and the aforementioned change step fulfills a predetermined value, and the updating step update the timer counter differ the aforementioned timer specification table with the aforementioned timer counter to the shown information.

[Claim 5] The interruption art according to claim 4 which possesses further the step which gives the initial value beforehand set to each of two or more aforementioned timer counters, and the step which changes the value of the aforementioned timer counter into the aforementioned initial value corresponding to the time of the aforementioned processing step end.

[Claim 6] the step which changes the aforementioned timer specification table into the information which possesses further the step which gives the processing sequence beforehand set to each of two or more aforementioned timer counters, and shows the next timer counter of the aforementioned timer counter by which the aforementioned updating step was processed by the aforementioned processing step with reference to each aforementioned processing sequence of two or more aforementioned timer counters -- a shell -- an interruption art according to claim 4 or 5

[Claim 7] In the system which receives both a timer interrupt and the usual interruption The step which secures beforehand two or more timer counters which count the number of times of a receptionist of a timer interrupt, The step which secures beforehand the timer specification table which has the information which shows the timer counter which next updates among two or more aforementioned timer counters, The information which the aforementioned timer specification table has at the time of a timer-interrupt receptionist is referred to. The selection step which chooses the timer counter which next updates among two or more aforementioned timer counters, The change step which adds change of the value beforehand set to the value of the aforementioned timer counter chosen by the aforementioned selection step, The processing step which performs interruption processing performed at the time of the time-out of the aforementioned timer counter when the value of the aforementioned timer counter changed by the aforementioned change step fulfills a predetermined value, The record medium which recorded the program which performs the updating step updated to the information which shows a timer which is different from the aforementioned timer counter in the aforementioned timer specification table.

[Claim 8] The record medium according to claim 7 which recorded further the program which performs the step which gives the initial value beforehand set to each of two or more aforementioned timer counters, and the initialization step which initializes the value of the aforementioned timer counter to the aforementioned initial value corresponding to the time of the aforementioned processing step end.

[Claim 9] The step which gives the processing sequence beforehand set to each of two or more aforementioned timer counters is provided further. the aforementioned updating step The step which changes the aforementioned timer specification table into the information which shows the timer counter which hits with reference to each aforementioned processing sequence of two or more aforementioned timer counters in sequence next to the aforementioned timer counter processed by the aforementioned processing step, since -- the record medium according to claim 7 or 8 which recorded the program which performs the becoming step

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the system which can mitigate the load of the timer-interrupt processing by the interval timer interruption event about an interruption processing system in the processing program (it is hereafter called "inclusion software") which uses two or more soft timers simultaneously especially.

[0002]

[Description of the Prior Art] Conventionally, generally the weak point of the processor which receives two or more interrupt requests containing an interval timer interruption event is generating of the situation where two or more interrupt requests which require a real-time operation occur frequently simultaneously. of course, although there are some which have been designed to go into a standby state when there is a notice that the interrupt request concerned does not have receptionist ** depending on the job which emitted the interruption event, depending on a job, a thing with the character which surely needs interruption of real time also exists

[0003] Then, when designing inclusion software, it was one of the most important elements the time which each interruption processing takes, and to take the total into consideration. Also in the method which is carrying out batch processing of the reconfiguration of the various timers which the time-out has produced by periodic interruption processing here, for example When the job which should be processed by this interruption is a job which may require a long time (for example, when inclusion software is using two or more timers simultaneously) The need of fully taking into consideration also about the total of the processing time which reconfiguration of a timer when all or some of two or more above-mentioned timers carry out a time-out simultaneously takes arises.

[0004] JP, 7-219784, A has the invention [conduct / retroactivity investigation of the technology belonging to this field / from the past patent application] an "interrupt control method" The control section which controls an interval timer interruption event and the usual interruption event this invention If the 1st interval timer interruption event occurs while processing in the processor which already receives one interrupt request and processes an interrupt request If this is memorized to the receptionist book, and it always continues asserting an interrupt request to the above-mentioned processor and the 2nd [further] interval timer interruption event occurs in the meantime The technology which notifies that this event is in a receptionist impossible state is indicated to the processor which generated this event.

[0005]

[Problem(s) to be Solved by the Invention] However, since the processing time of a processor increases sharply depending on a situation in the case of the system which needs many timers for the aforementioned reason, the number of the timers which can be processed simultaneously will be restricted. Then, setting processing of a timer was performed efficiently and the system and method of an energize sake are needed for the maximum in the capacity of a processor.

[0006] The system which processes two or more interruption events (411-413) summarized by OR logical circuit (402) consists of systems which generally have an interruption processing means as shown in drawing 4, i.e., one processor, (401) considering not leaking, and incorporating and processing an interruption event as a premise, no matter each interruption event may occur to what timing. however, a system with interruption mode of processing as shown in drawing 5 -- that is In the system accompanied by the timer processing (502) which controls two or more timers (503-506) in one interval timer interruption event (413) When some timers are carrying out the time-out simultaneously, in order to overlook other interruption events (411, 412) which those reconfiguration might take the long processing time to and were generated in this processing time, there was a trouble that this could not be incorporated.

[0007] Moreover, it is the timing which processing of the 1st interval timer interruption event has not completed depending on the case. The processing which the interval timer interruption event of the 2nd henceforth may occur, may be in a standby state, and is made by the interval timer interruption event Since it is included, not only the reconfiguration of a timer that carried out [above-mentioned] the time-out but processing which needs a new setup of the timer from the present time, i.e., the interruption processing which does not allow delay Conventionally, even if generating of the above-mentioned standby state often caused an obstacle, it was one of the difficult technical problems of solution.

[0008] What only the situation where an interrupt request with the need of processing on real time receives influence by the interrupt request without the need of facing devising this invention and not necessarily processing on real time should be avoided for as minimum was examined.

[0009] Then, about the processing which an interrupt request without the need of not necessarily processing on real time needs, shortening of the processing time was considered, the processing time in one interrupt request was shortened, and the method which distributes the load of the part to two or more interrupt requests was examined.

[0010] The interval timer interruption event to reconfigure the above-mentioned timer which carried out the time-out as an interrupt request used as the object which should adopt such a method was extracted.

[0011] In addition, the technology currently indicated by above-mentioned JP, 7-219784, A does not solve in essence the above-mentioned trouble produced at the time of simultaneous frequent occurrence of a real-time interrupt request. It is because it is forced the standby state about the interrupt request of the 2nd henceforth generated during one certain processing of an interrupt request.

[0012] this invention is made in view of the trouble in the above conventional interruption mode of processing, and aims at offering the interruption processing system which can mitigate the load of the timer reconfiguration processing by the interval timer interruption event of inclusion software.

[0013]

[Means for Solving the Problem] In the system which receives both a timer interrupt and the usual interruption according to this invention in

order to solve the above-mentioned technical problem Two or more timer counters which count the number of times of a receptionist of a timer interrupt, The timer specification table which has the information which shows the timer counter which next updates among two or more timer counters, The information which a timer specification table has at the time of a timer-interrupt receptionist is referred to. A selection means to choose the timer counter which next updates among two or more timer counters, A change means to add change of the value beforehand set to the value of the timer counter chosen by the selection means, A processing means to perform interruption processing performed at the time of the time-out of a timer counter when the value of the counter which the timer counter changed by the change means has fulfills a predetermined value, The interruption processing distributed system which consists of an updating means to update to the information which shows a timer counter which is different from a timer counter in a timer specification table is offered.

[0014] Moreover, in the above-mentioned interruption processing distributed system, each of two or more timer counters can provide further the initial value defined beforehand and a means to change the value of a timer counter into the initial value corresponding to a timer counter at the time of a processing means end.

[0015] Furthermore, in the above-mentioned interruption processing distributed system, each of two or more timer counters possesses further the processing sequence defined beforehand, and the above-mentioned updating means may be constituted by means to change a timer specification table into the information which shows the next timer counter of the timer counter processed by the processing means, with reference to each processing sequence of two or more timer counters which it has.

[0016] In the system which otherwise receives both a timer interrupt and the usual interruption The timer specification table which has the information which shows the timer counter which next updates among two or more timer counters at the time of a timer-interrupt receptionist is referred to. Next, the change step which adds change of the value beforehand set to the value of the timer counter chosen by the selection step which chooses the timer counter which updates, and the selection step, The processing step which performs interruption processing performed at the time of the time-out of a timer counter when the value of a timer counter changed by the change step fulfills a predetermined value, The interruption processing distribution method which consists of an updating step updated to the information which shows a timer counter which is different from a timer counter in a timer specification table is offered.

[0017] Moreover, in the above-mentioned interruption processing distribution method, it is possible to provide further the step which gives the initial value beforehand set to each of two or more timer counters, and the step which changes the value of a timer counter into the initial value corresponding to the time of the above-mentioned processing step end.

[0018] Furthermore, in the above-mentioned interruption processing distribution method, the step which gives the processing sequence beforehand set to each of two or more timer counters is provided further, and the above-mentioned updating step may be constituted by the step which changes a timer specification table into the information which shows the next timer counter of the timer counter processed by the processing step with reference to each processing sequence of two or more timer counters.

[0019] In the system which furthermore receives both a timer interrupt and the usual interruption otherwise The step which secures beforehand two or more timer counters which count the number of times of a receptionist of a timer interrupt, The step which secures beforehand the timer specification table which has the information which shows the timer counter which next updates among two or more timer counters, The information which a timer specification table has at the time of a timer-interrupt receptionist is referred to. The selection step which chooses the timer counter which next updates among two or more timer counters, The change step which adds change of the value beforehand set to the value of the timer counter chosen by the selection step, The processing step which performs interruption processing performed at the time of the time-out of a timer counter when the value of a timer counter changed by the change step fulfills a predetermined value, The record medium which recorded the program which performs the updating step updated to the information which shows a timer which is different from a timer counter in a timer specification table is offered.

[0020] Moreover, in the above-mentioned record medium, it is possible to record further the program which performs the step which gives the initial value beforehand set to each of two or more timer counters, and the initialization step which initializes the value of a timer counter to the initial value corresponding to the time of the above-mentioned processing step end.

[0021] The step which gives the processing sequence beforehand set to each of two or more timer counters in the above-mentioned record medium is provided further. furthermore, the above-mentioned updating step You may be the composition which recorded the program which performs the step which consists of a step which changes a timer specification table into the information which shows the timer counter which hits in sequence next to the timer counter processed by the processing step with reference to each processing sequence of two or more timer counters.

[0022] Hereafter, an operation of this invention is explained. Interruption mode of processing of the processing program concerning this invention is the method which is one interruption and always performs timer management processing by the interruption processing in the inclusion software which uses two or more soft timers simultaneously only to one timer.

[0023] That is, in interruption mode of processing of the processing program concerning this invention, as the flow chart of drawing 3 shows interruption processing operation, it has avoided that consider as the composition which processes only one timer and two or more timers by the same interval timer interruption carry out a time-out simultaneously in 1 time of an interval timer interruption event.

[0024] Though natural, you may think that the interval of the above-mentioned interval timer interruption is made into a short period rather than the conventional method.

[0025]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained with reference to a drawing.

[0026] (Form of the 1st operation) Drawing 1 is the schematic diagram of the hard composition of the interruption processing system concerning the form of operation of the 1st of this invention.

[0027] It is constituted by the selection section (106) which chooses two or more interruption events (111-113), and the processing statement part (101) which performs processing execution of this interruption event chosen by the selection section (106). Moreover, in a processing statement part (101), a timer processing means (102) has a timer processing table (103), including a timer processing means (102). This timer processing means (102) is used at the time of processing execution of an interval timer interruption event (113). Moreover, it is possible to read a program from a record medium (105) through a device (104), and the processing statement part (101) has the function to perform the read program.

[0028] Drawing 2 is a flow chart which shows operation of the interruption processing system concerning the form of operation of the 1st of this invention. Drawing 2 (a) shows the flow chart of the main processing (231) which performs the main control of a system performed in a processing statement part (101). It interrupts and drawing 2 (b) shows the flow chart of the interruption processing 1 (201) corresponding to the event 1 (111) inputted into the processing statement part (101). It interrupts and drawing 2 (c) shows the flow chart of the interruption processing 2 (211) corresponding to the event 2 (112) inputted into the processing statement part (101). Drawing 2 (d) shows the flow chart of

the timer-interrupt processing (221) corresponding to the interval timer interruption event's (113) inputted into the processing statement part (101).

[0029] Drawing 3 is a flow chart which shows operation of the timer optional feature in the timer processing means (102) of the interruption processing system concerning the form of operation of the 1st of this invention. The timer processing means (102) shown in drawing 3 consists of timer specification tables (103) which specify the timer 1 which carries out the decrement of the timer value corresponding to each timer to a timer selection means (302) to choose the timer which should be processed by the interval timer interruption processing concerned, for every processing - Timer n (303-306), and the timer which should be processed by the degree.

[0030] According to this example, the software which performs processing shown in the flow chart shown by drawing 2 and drawing 3 is offered. However, there is no need of not necessarily carrying out the implementation of this portion as software, and it may carry out an implementation as hardware.

[0031] One example of the composition by this example is shown below. In drawing 1, two or more interruption events (111-113) which start processing are summarized by the selection section (106) which consists of an OR logical circuit, and are inputted into the processing statement part (101) which has a processor. Such a system is controlled by operation generally shown with a flow chart as shown in drawing 2 (a) - (d). Drawing 2 (a) The system in which operation shown with the flow chart of - (d) is shown consists of the main processing (231) which performs the main control of a system, interruption processing 1 (201) corresponding to the interruption event 1 (111), interruption processing 2 (211) corresponding to the interruption event 2 (112), and timer-interrupt processing (221) corresponding to the interval timer interruption event (113).

[0032] The block diagram showing operation of the timer optional feature in the timer processing section shown in drawing 3 is constituted by the timer specification part (311) become from the timer 1 which carries out the decrement of the timer value corresponding to each to a timer selection means (302) perform dispatch processing which chooses the timer which should be processed by the interval timer interruption concerned, for every processing - a timer n (303-306), and the timer specification table (103) which generates the cyclic integer i for dispatch processing.

[0033] In addition, the art of the dispatch processing performed by the timer selection means (302) may choose a timer 1 - Timer n (303-306) by the result which decoded the above-mentioned integer i.

[0034] Furthermore, it is also possible to install the pointer which points out the entry of this table, to carry out the number of ** of the above-mentioned integer i to this pointer, and to add a table origin and to make it by this the method which calls Timer i with reference to the contents of the entry of this table corresponding to the above-mentioned integer i instead of storing the routine address of the above-mentioned timer 1 - Timer n in each entry of a table, respectively, and using the above-mentioned dispatch processing.

[0035] Next, with reference to drawing 1, and 2 and 3, the one following example explains operation of interruption mode of processing concerning the form of this operation.

[0036] Use of a timer of the main processing section (231) of a system sets the timer value corresponding to a desired timer. If interval timer interruption occurs here, timer-interrupt processing will be started and the timer processing section (222) will be called. In the timer processing section (222), processing of only one timer chosen by the value of the above-mentioned cyclic integer i is performed.

[0037] A timer 1 - Timer n (303-306) check the timer value of a timer 1 - Timer n (303-306), respectively, and if they are not 0, they will perform decrement processing. Moreover, if there is a result which carried out the decrement by 0, a time-out will be returned to main processing. Next, the value of Integer i is updated by the timer specification part (311), a timer specification table (103) is changed, and timer-interrupt processing is ended. A timer specification part (311) changes cyclically the value of i used for dispatch processing in the range of the integer to 1-n, and stores the value of the i in a timer specification table (103).

[0038] A concrete example of operation is shown below. Now, main processing of a system presupposes that 9 was set to the timer value over a timer 1 (303). Then, if interval timer interruption occurs 2 n times, in the timer processing section (222), a timer 1 will be processed twice and a timer value will be set to 7. When main processing sets 7 to the timer value of a timer 2 (304) here, both timer values of a timer 1 and a timer 2 will be called 7. interval timer interruption -- 5 more time -- if the timer value of a timer 3 (305) is set to 2 when it generates, a timer value will be set to 2 by a timer 1 (303), a timer 2 (304), and the timer 3 (305) to a bird clapper

[0039] Then, if interval timer interruption occurs once [n+], the timer value of a timer 1 (303) will be set to 0, and a time-out will be returned to main processing. Similarly, by n+3 interval timer interruption, a timer 2 (304) is returned to main processing twice [n+], and a timer 3 (305) returns a time-out. Before starting the processing in which a timer 2 (304) carries out a time-out supposing the interruption event 1 (111) occurs when a timer 1 (303) carries out a time-out, interruption processing 1 (201) is performed.

[0040] In addition, if the algorithm of the timer selection corresponding to generating of the interval timer interruption event of interruption mode of processing concerning this invention is generalized It counts from a processing start point in time about n timers in a processor. generating of the n-th interval timer interruption event Choose arbitrary one from the timer of these n individuals, and about one timer with the n aforementioned arbitrary timers This timer is counted from the time of being immediately after choosing the timer concerned, and it becomes the algorithm which repeats generating of the n-th aforementioned interval timer interruption event as an opportunity, and chooses it exactly.

[0041] It counts from a processing start point in time. namely, generating of the n-th interval timer interruption event There is only a limit that n timers are chosen without duplication. Original, The sequence of the selection is arbitrary, so, it counts from a processing start point in time, and there is nothing with regards to interruption mode of processing concerning this invention, and the sequence of the timer selection to generating of the n-th interval timer interruption event can also be determined in consideration of other design factors on processing.

[0042] In addition, the selection without duplication means that the timer chosen at once is excepted from the following candidate for selection in the above-mentioned explanation.

[0043] (Gestalt of the 2nd operation) The composition and operation of interruption mode of processing concerning the gestalt of operation of the 2nd of this invention are the same as interruption mode of processing concerning the gestalt of operation of the 1st of this invention. However, although the processing object as which interruption mode-of-processing **** concerning the gestalt of the 1st operation of the above is chosen by generating of one interval timer interruption event was limited to one timer, in interruption mode of processing concerning the gestalt of the 2nd operation, the above-mentioned processing object by which selection is carried out becomes m timer groups (m<n) constituted by two or more timers.

[0044] Sequential processing of the timer belonging to one with such an arbitrary timer group is altogether carried out by generating of the above-mentioned interruption event. That is, inside the batch which processes such a timer group, composition as shown in drawing 5 is constructed by the timer belonging to this timer group, and the total processing time which processing of all the timers belonging to this timer group moreover takes is estimated beforehand.

[0045] By the conventional interruption mode of processing which was processing all the timers at once by generating of one interval timer

interruption event, as above-mentioned Then, although generating of this interruption event has not been mostly recognized when it is the worst case of which an interruption event besides the above will be canceled before completing reconfiguration processing of all timers finishing / a time-out] even if other interruption events occurred at this time According to interruption mode of processing concerning this invention, the time when other concurrence interruption events should be maintained Since the processing time required for one timer or the total processing time [finishing / an estimate / beforehand] of a specific timer group is shortened, it is possible not to leak and to recognize generating of an interruption event besides the above.

[0046]

[Effect of the Invention] The 1st effect of the interruption processing system concerning this invention is abolishing the state two or more timers' carrying out a time-out simultaneously.

[0047] Moreover, the 2nd effect of the interruption processing system concerning this invention is that it is possible to press down the overload of the timer-interrupt processing which takes place when the time-out of two or more timers laps.

[0048] Furthermore, the 3rd effect of the interruption processing system concerning this invention is that it is possible to press down competition with other interruption to the minimum with a bird clapper.

[Translation done.]

NOTICES

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of hardware showing the operating environment of the whole system which adopted interruption mode of processing concerning the gestalt of operation of this invention.

[Drawing 2] It is the flow chart which shows operation of the whole system which adopted interruption mode of processing concerning the gestalt of operation of this invention.

[Drawing 3] It is the flow chart which shows operation of the timer optional feature in the timer processing section of interruption mode of processing concerning the gestalt of operation of this invention.

[Drawing 4] It is the block diagram of hardware showing the operating environment of the whole system which adopted interruption mode of processing by the Prior art.

[Drawing 5] It is the flow chart which shows operation of the timer optional feature in the timer processing section of interruption mode of processing by the Prior art.

[Description of Notations]

101 Processing Statement Part
102 Timer Processing Means
103 Timer Specification Table
104 Device
105 Record Medium
106 Selection Section
111 Interruption Event 1
112 Interruption Event 2
113 Interval Timer Interruption Event
201 Interruption Processing 1
211 Interruption Processing 2
221 Timer-Interrupt Processing
231 Main Processing
302 Timer Selection Means
303 Timer 1
304 Timer 2
305 Timer 3
306 Timer N
311 Timer Specification Part
401 Processor
402 OR Logical Circuit
411 Interruption Event 1
412 Interruption Event 2
413 Interval Timer Interruption Event
502 Timer Processing
503 Timer 1
504 Timer 2
505 Timer 3
506 Timer N

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-66903

(P2000-66903A)

(43)公開日 平成12年3月3日(2000.3.3)

(51)Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
G 0 6 F 9/46	3 1 5	G 0 6 F 9/46	3 1 5 Z 5 B 0 9 8

審査請求 有 請求項の数9 OL (全 8 頁)

(21)出願番号 特願平10-232483

(22)出願日 平成10年8月19日(1998.8.19)

(71)出願人 390000974

日本電気移動通信株式会社

横浜市港北区新横浜三丁目16番8号 (N
EC移動通信ビル)

(72)発明者 辻田 圭介

神奈川県横浜市港北区新横浜三丁目16番8
号 日本電気移動通信株式会社内

(74)代理人 100102864

弁理士 工藤 実 (外1名)

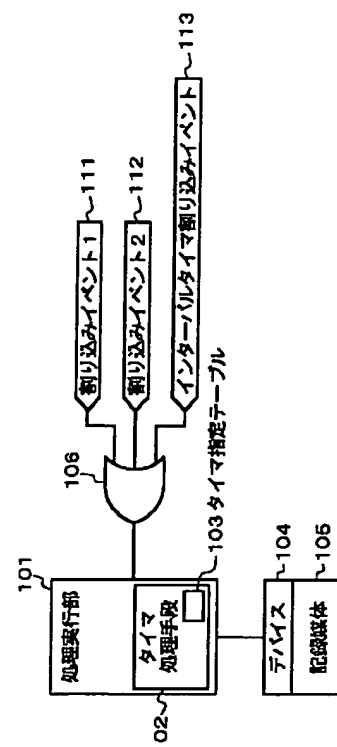
Fターム(参考) 5B098 BA04 BA14 BB01 BB05 FF04
GA01 GA07 GB11 GD01 GD17

(54)【発明の名称】 割り込み処理システムおよび割り込み処理方法

(57)【要約】

【課題】 インターバルタイマ割り込みイベントによるタイマ割り込み処理の負荷を軽減することができる割り込み処理システムを提供する。

【解決手段】 タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、タイマ割り込みの受付回数をカウントする複数のタイマカウンタと、複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルと、タイマ割り込み受付時に、タイマ指定テーブルが有する情報を参照して、複数のタイマカウンタのうち次に更新を行うタイマカウンタを選択する選択手段と、選択手段によって選択されたタイマカウンタの値に予め定められた値の変更を加える変更手段と、変更手段によって変更されたタイマカウンタが有するカウンタの値が所定値を満たした時に、タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理手段と、タイマ指定テーブルを、タイマカウンタと異なるタイマカウンタを示す情報に更新する更新手段とからなる割り込み処理システムを提供する。



【特許請求の範囲】

【請求項1】 タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、

タイマ割り込みの受付回数をカウントする複数のタイマカウンタと、

前記複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルと、
タイマ割り込み受付時に、前記タイマ指定テーブルが有する情報を参照して、前記複数のタイマカウンタのうち次に更新を行うタイマカウンタを選択する選択手段と、
前記選択手段によって選択された前記タイマカウンタの値に予め定められた値の変更を加える変更手段と、
前記変更手段によって変更された前記タイマカウンタが有する前記カウンタの値が所定値を満たした時に、前記タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理手段と、

前記タイマ指定テーブルを、前記タイマカウンタと異なるタイマカウンタを示す情報に更新する更新手段と、
からなる割り込み処理システム。

【請求項2】 前記複数のタイマカウンタの各々は、予め定められた初期値と、
前記処理手段終了時に前記タイマカウンタの値を前記タイマカウンタに対応する前記初期値に変更する手段と、
をさらに具備する請求項1に記載の割り込み処理システム。

【請求項3】 前記複数のタイマカウンタの各々は予め定められた処理順序をさらに具備し、
前記更新手段は、
前記複数のタイマカウンタの各々の有する前記処理順序を参照して、前記処理手段によって処理された前記タイマカウンタの次のタイマカウンタを示す情報に前記タイマ指定テーブルを変更する手段と、
からなる請求項1または2に記載の割り込み処理システム。

【請求項4】 タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、
タイマ割り込み受付時に、複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルを参照して、前記次に更新を行うタイマカウンタを選択する選択ステップと、
前記選択ステップによって選択された前記タイマカウンタの値に予め定められた値の変更を加える変更ステップと、
前記変更ステップによって変更された前記タイマカウンタの値が所定値を満たした時に、前記タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理ステップと、
前記タイマ指定テーブルを、前記タイマカウンタと異なるタイマカウンタを示す情報に更新する更新ステップと、

からなる割り込み処理方法。

【請求項5】 予め前記複数のタイマカウンタの各々に定められた初期値を与えるステップと、
前記処理ステップ終了時に前記タイマカウンタの値を対応する前記初期値に変更するステップと、
をさらに具備する請求項4に記載の割り込み処理方法。

【請求項6】 前記複数のタイマカウンタの各々に予め定められた処理順序を与えるステップをさらに具備し、
前記更新ステップは、
前記複数のタイマカウンタの各々の前記処理順序を参照して、前記処理ステップによって処理された前記タイマカウンタの次のタイマカウンタを示す情報に前記タイマ指定テーブルを変更するステップと、
からなる請求項4または5に記載の割り込み処理方法。

【請求項7】 タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、
タイマ割り込みの受付回数をカウントする複数のタイマカウンタを予め確保するステップと、
前記複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルを予め確保するステップと、
タイマ割り込み受付時に、前記タイマ指定テーブルが有する情報を参照して、前記複数のタイマカウンタのうち次に更新を行うタイマカウンタを選択する選択ステップと、
前記選択ステップによって選択された前記タイマカウンタの値に予め定められた値の変更を加える変更ステップと、
前記変更ステップによって変更された前記タイマカウンタの値が所定値を満たした時に、前記タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理ステップと、
前記タイマ指定テーブルを、前記タイマカウンタと異なるタイマを示す情報に更新する更新ステップと、
を実行するプログラムを記録した記録媒体。

【請求項8】 予め前記複数のタイマカウンタの各々に定められた初期値を与えるステップと、
前記処理ステップ終了時に前記タイマカウンタの値を対応する前記初期値に初期化する初期化ステップと、
を実行するプログラムをさらに記録した請求項7に記載の記録媒体。

【請求項9】 前記複数のタイマカウンタの各々に予め定められた処理順序を与えるステップをさらに具備し、
前記更新ステップは、
前記複数のタイマカウンタの各々の前記処理順序を参照して、前記処理ステップによって処理された前記タイマカウンタの次の順序にあたるタイマカウンタを示す情報に前記タイマ指定テーブルを変更するステップと、
からなるステップを実行するプログラムを記録した請求項7または8に記載の記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、割り込み処理システムに関し、特に、複数のソフトタイマを同時に使用する処理プログラム（以下、「組み込みソフト」とも称する）において、インターバルタイマ割り込みイベントによるタイマ割り込み処理の負荷を軽減することが可能なシステムに関する。

【0002】

【従来の技術】従来、一般に、インターバルタイマ割り込みイベントを含む複数の割り込み要求を受け付けるプロセッサの泣き所は、リアルタイム処理を要求する複数の個の割り込み要求が同時に多発する事態の発生である。勿論、割り込みイベントを発生したジョブによっては、当該割り込み要求が受付られないとの通知があった時点で待機状態に入るべく設計されているものもあるが、ジョブによっては、どうしてもリアルタイムの割り込みを必要とする性格を持ったものも存在する。

【0003】そこで、組み込みソフトの設計を行う場合にも、個々の割り込み処理に要する時間や、そのトータルを考慮することが最も重要な要素の一つであった。ここで、タイムアウトが生じている各種タイマの再設定を、例えば、周期的な割り込み処理によって一括処理している方式においても、該割り込みによって処理すべきジョブが長時間を要する可能性のあるジョブである場合、例えば、組み込みソフトが複数のタイマを同時に使用している場合等には、上記複数のタイマの全て、若しくは一部が、同時にタイムアウトした場合におけるタイマの再設定に要する処理時間のトータルについても十分に考慮しておく必要性が生じる。

【0004】この分野に属する技術を過去の特許出願から遡及調査すると、特開平7-219784号公報に「割り込み制御方式」という発明がある。この発明は、インターバルタイマ割り込みイベントと通常の割り込みイベントとを制御する制御部が、既に1個の割り込み要求を受け付けて割り込み要求を処理するプロセッサにて処理している間に、1回目のインターバルタイマ割り込みイベントが発生すると、これを受け付け簿に記憶しておき、かつ上記プロセッサに対して常に割り込み要求をアサートし続け、この間に更に2回目のインターバルタイマ割り込みイベントが発生すると、該イベントを発生したプロセッサに対して、該イベントは受け付け不可能状態にあることを通知する技術が開示されている。

【0005】

【発明が解決しようとする課題】ところが、前記の理由により、タイマを数多く必要とするシステムの場合は、状況によっては、プロセッサの処理時間が大幅に増大するため、同時に処理できるタイマの数が制限されてしまう。そこで、効率よくタイマの設定処理を行い、プロセッサの能力を最大限に生かすためのシステムおよび方法

が必要となった。

【0006】一般に、図4に示すような割り込み処理手段を持つシステム、すなわち、1つのプロセッサ(401)で、OR論理回路(402)によってまとめられた複数の割り込みイベント(411~413)を処理するシステムは、それぞれの割り込みイベントがどのようなタイミングで発生しても、割り込みイベントを漏れなく取り込んで処理することを前提として構成されている。しかし、図5に示すような割り込み処理方式を持つシステム、すなわち、一つのインターバルタイマ割り込みイベント(413)で複数のタイマ(503~506)を制御するタイマ処理(502)を伴うシステムでは、いくつかのタイマが同時にタイムアウトしていたような場合には、それらの再設定に長い処理時間を要してしまふことがあり、この処理時間中に発生した他の割り込みイベント(411, 412)を見逃してしまうために、これを取り込めないという問題点があった。

【0007】また、場合によっては、1回目のインターバルタイマ割り込みイベントの処理が完結していないタイミングで、2回目以降のインターバルタイマ割り込みイベントが発生して待機状態となる場合もあり、インターバルタイマ割り込みイベントによりなされる処理は、上記タイムアウトしたタイマの再設定のみならず、例えば、現在の時刻からのタイマの新規設定を必要とするような処理、すなわち遅延を許さない割り込み処理も含まれているので、従来は、上記の待機状態の発生は、しばしば障害原因となつてはいても、解決の困難な課題の一つであった。

【0008】本発明を考案するに際し、必ずしもリアルタイムに処理する必要の無い割り込み要求によって、リアルタイムに処理する必要のある割り込み要求が影響を被る事態だけは、最低限として、避けるべきことが検討された。

【0009】そこで、必ずしもリアルタイムに処理する必要の無い割り込み要求が必要とする処理については、その処理時間の短縮が検討され、1回の割り込み要求における処理時間を短縮して、その分の負荷を、複数の割り込み要求に分散しておく方式が検討された。

【0010】そうした方式を採用すべき対象となる割り込み要求として、上記のタイムアウトしたタイマの再設定を行う目的のインターバルタイマ割り込みイベントが抽出された。

【0011】なお、上記の特開平7-219784号公報に開示されている技術は、リアルタイム割り込み要求の同時多発時に生じる上記の問題点を本質的に解決するものではない。何故ならば、ある一つの割り込み要求の処理中に発生した2回目以降の割り込み要求については、待機状態を強いているからである。

【0012】本発明は、以上のような従来の割り込み処理方式における問題点を鑑みてなされたものであり、組

み込みソフトの、インターバルタイマ割り込みイベントによるタイマ再設定処理の負荷を軽減することができる割り込み処理システムを提供することを目的とする。

【0013】

【課題を解決するための手段】上記の課題を解決するために、本発明によれば、タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、タイマ割り込みの受付回数をカウントする複数のタイマカウンタと、複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルと、タイマ割り込み受付時に、タイマ指定テーブルが有する情報を参照して、複数のタイマカウンタのうち次に更新を行うタイマカウンタを選択する選択手段と、選択手段によって選択されたタイマカウンタの値に予め定められた値の変更を加える変更手段と、変更手段によって変更されたタイマカウンタが有するカウンタの値が所定値を満たした時に、タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理手段と、タイマ指定テーブルを、タイマカウンタと異なるタイマカウンタを示す情報に更新する更新手段とからなる割り込み処理分散システムを提供する。

【0014】また、上記の割り込み処理分散システムにおいて、複数のタイマカウンタの各々は予め定められた初期値と、処理手段終了時にタイマカウンタの値をタイマカウンタに対応する初期値に変更する手段とをさらに具備することが可能である。

【0015】さらに、上記の割り込み処理分散システムにおいて、複数のタイマカウンタの各々は予め定められた処理順序をさらに具備し、上記の更新手段は、複数のタイマカウンタの各々の有する処理順序を参照して、処理手段によって処理されたタイマカウンタの次のタイマカウンタを示す情報にタイマ指定テーブルを変更する手段とによって構成されてもよい。

【0016】他には、タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、タイマ割り込み受付時に、複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルを参照して、次に更新を行うタイマカウンタを選択する選択ステップと、選択ステップによって選択されたタイマカウンタの値に予め定められた値の変更を加える変更ステップと、変更ステップによって変更されたタイマカウンタの値が所定値を満たした時に、タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理ステップと、タイマ指定テーブルを、タイマカウンタと異なるタイマカウンタを示す情報に更新する更新ステップとからなる割り込み処理分散方法を提供する。

【0017】また、上記の割り込み処理分散方法において、予め複数のタイマカウンタの各々に定められた初期値を与えるステップと、上記の処理ステップ終了時にタイマカウンタの値に対応する初期値に変更するステップ

と、をさらに具備することが可能である。

【0018】さらに、上記の割り込み処理分散方法において、複数のタイマカウンタの各々に予め定められた処理順序を与えるステップをさらに具備し、上記の更新ステップは、複数のタイマカウンタの各々の処理順序を参照して、処理ステップによって処理されたタイマカウンタの次のタイマカウンタを示す情報にタイマ指定テーブルを変更するステップとによって構成されてもよい。

【0019】さらに他に、タイマ割り込みと通常の割り込みを共に受け付けるシステムにおいて、タイマ割り込みの受付回数をカウントする複数のタイマカウンタを予め確保するステップと、複数のタイマカウンタのうち次に更新を行うタイマカウンタを示す情報を有するタイマ指定テーブルを予め確保するステップと、タイマ割り込み受付時に、タイマ指定テーブルが有する情報を参照して、複数のタイマカウンタのうち次に更新を行うタイマカウンタを選択する選択ステップと、選択ステップによって選択されたタイマカウンタの値に予め定められた値の変更を加える変更ステップと、変更ステップによって変更されたタイマカウンタの値が所定値を満たした時に、タイマカウンタのタイムアウト時に行われる割り込み処理を行う処理ステップと、タイマ指定テーブルを、タイマカウンタと異なるタイマを示す情報に更新する更新ステップと、を実行するプログラムを記録した記録媒体を提供する。

【0020】また、上記の記録媒体において、予め複数のタイマカウンタの各々に定められた初期値を与えるステップと、上記の処理ステップ終了時にタイマカウンタの値に対応する初期値に初期化する初期化ステップと、を実行するプログラムをさらに記録することが可能である。

【0021】さらに、上記の記録媒体において、複数のタイマカウンタの各々に予め定められた処理順序を与えるステップをさらに具備し、上記の更新ステップは、複数のタイマカウンタの各々の処理順序を参照して、処理ステップによって処理されたタイマカウンタの次の順序にあたるタイマカウンタを示す情報にタイマ指定テーブルを変更するステップとからなるステップを実行するプログラムを記録した構成であってもよい。

【0022】以下、本発明の作用を説明する。本発明に係る処理プログラムの割り込み処理方式は、複数のソフトタイマを同時に使用する組み込みソフトにおける割り込み処理によるタイマ管理処理を、1回の割り込みで、常に1つのタイマに対してのみ行う方式となっている。

【0023】すなわち、本発明に係る処理プログラムの割り込み処理方式では、図3のフローチャートで割り込み処理動作を示すように、1回のインターバルタイマ割り込みイベントで、1つのタイマのみを処理する構成とし、同一のインターバルタイマ割り込みで複数のタイマが同時にタイムアウトすることを回避している。

【0024】当然ながら、上記インターバルタイマ割り込みのインターバルは、従来方式よりは短周期にするものと考えてよい。

【0025】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。

【0026】(第1の実施の形態) 図1は、本発明の第1の実施の形態に係る割り込み処理システムのハード構成の概略図である。

【0027】複数の割り込みイベント(111~113)を選択する選択部(106)と、選択部(106)によって選択された該割り込みイベントの処理実行を行う処理実行部(101)によって構成される。また、処理実行部(101)はタイマ処理手段(102)を含み、また、タイマ処理手段(102)はタイマ処理テーブル(103)を有する。このタイマ処理手段(102)は、インターバルタイマ割り込みイベント(113)の処理実行時に用いられる。また、デバイス(104)を介して記録媒体(105)からプログラムを読み込むことが可能であり、処理実行部(101)はその読み込まれたプログラムを実行する機能を有している。

【0028】図2は、本発明の第1の実施の形態に係る割り込み処理システムの動作を示すフローチャートである。図2(a)は処理実行部(101)において行われるシステムの主制御を行うメイン処理(231)のフローチャートを示す。図2(b)は処理実行部(101)へ入力された割り込みイベント1(111)に対応した割り込み処理1(201)のフローチャートを示す。図2(c)は処理実行部(101)へ入力された割り込みイベント2(112)に対応した割り込み処理2(211)のフローチャートを示す。図2(d)は処理実行部(101)へ入力されたインターバルタイマ割り込みイベント(113)のに対応したタイマ割り込み処理(221)のフローチャートを示す。

【0029】図3は、本発明の第1の実施の形態に係る割り込み処理システムのタイマ処理手段(102)におけるタイマ選択機構の動作を示すフローチャートである。図3に示されるタイマ処理手段(102)は、当該インターバルタイマ割り込み処理で処理されるべきタイマを選択するタイマ選択手段(302)と、それぞれのタイマに対応したタイマ値を処理毎にデクリメントするタイマ1~タイマn(303~306)と、次に処理されるべきタイマを指定するタイマ指定テーブル(103)で構成されている。

【0030】本実施例によると、図2、図3によって示されるフローチャートに示される処理を実行するソフトウェアが提供されている。しかしながら、この部分は必ずしもソフトウェアとしてインプリメンテーションする必要は無く、金物としてインプリメンテーションしてもよい。

【0031】以下に本実施例による構成の1例を示す。図1において、処理を起動する複数の割り込みイベント(111~113)は、OR論理回路からなる選択部(106)によってまとめられ、プロセッサを有する処理実行部(101)に入力されている。このようなシステムは、一般に、図2(a)~(d)に示すようなフローチャートで示される動作によって制御される。図2(a)~(d)のフローチャートで示される動作を示すシステムは、システムの主制御を行うメイン処理(231)と、割り込みイベント1(111)に対応した割り込み処理1(201)と、割り込みイベント2(112)に対応した割り込み処理2(211)と、インターバルタイマ割り込みイベント(113)に対応したタイマ割り込み処理(221)とで構成されている。

【0032】図3に示すタイマ処理部におけるタイマ選択機構の動作を示す構成図は、当該インターバルタイマ割り込みで処理されるべきタイマを選択するディスパッチ処理を行うタイマ選択手段(302)と、それぞれに対応したタイマ値を処理毎にデクリメントするタイマ1~タイマn(303~306)と、ディスパッチ処理用のサイクリックな整数iを生成するタイマ指定テーブル(103)からなるタイマ指定部(311)で構成されている。

【0033】なお、タイマ選択手段(302)によって行われるディスパッチ処理の処理方法は、例えば、上記の整数iをデコードした結果により、タイマ1~タイマn(303~306)を選択してもよい。

【0034】さらに、上記のタイマ1~タイマnのルーチンアドレスを、それぞれテーブルの各エントリに格納し、上記のディスパッチ処理を使用する代わりに、該テーブルのエントリを指すポインタを設置し、上記整数iを該ポインタに置数し、かつテーブルオリジンを加算して、上記整数iに対応する該テーブルのエントリの内容を参照し、これにより、タイマiを呼び出す方式にすることも可能である。

【0035】次に、図1、2、3を参照して、本実施の形態に係る割り込み処理方式の動作を下記の1例により説明する。

【0036】システムのメイン処理部(231)がタイマを使用すると、所望のタイマに対応するタイマ値がセットされる。ここでインターバルタイマ割り込みが発生するとタイマ割り込み処理に入り、タイマ処理部(222)が呼び出される。タイマ処理部(222)では、上記のサイクリックな整数iの値により選択された1つのタイマのみの処理が行われる。

【0037】タイマ1~タイマn(303~306)はそれぞれタイマ1~タイマn(303~306)のタイマ値をチェックし0でなければデクリメント処理を行う。また、デクリメントした結果が0であればメイン処理に対しタイムアウトを返す。次に、整数iの値をタイ

マ指定部(311)で更新してタイマ指定テーブル(103)を変更し、タイマ割り込み処理を終了する。タイマ指定部(311)は、ディスパッチ処理用使用するiの値を、1～nまでの整数の範囲でサイクリックに変化させてタイマ指定テーブル(103)にそのiの値を格納する。

【0038】具体的な動作例を次に示す。今、システムのメイン処理がタイマ1(303)に対するタイマ値に9をセットしたとする。その後、インターバルタイマ割り込みが2n回発生すると、タイマ処理部(222)において、タイマ1は2回処理されてタイマ値は7になる。ここでメイン処理がタイマ2(304)のタイマ値に7をセットすると、タイマ1とタイマ2のタイマ値はどちらも7と言うことになる。インターバルタイマ割り込みが更に5n回発生した時に、タイマ3(305)のタイマ値が2にセットされると、タイマ1(303)、タイマ2(304)、タイマ3(305)ともタイマ値が2になることになる。

【0039】続いてインターバルタイマ割り込みがn+1回発生するとタイマ1(303)のタイマ値が0となり、メイン処理にタイムアウトが返される。同じく、タイマ2(304)はn+2回、タイマ3(305)はn+3回のインターバルタイマ割り込みでメイン処理にタイムアウトを返す。タイマ1(303)がタイムアウトした際に、割り込みイベント1(111)が発生したとすると、タイマ2(304)がタイムアウトする処理に入る前に割り込み処理1(201)が行われる。

【0040】なお、本発明に係る割り込み処理方式のインターバルタイマ割り込みイベントの発生に対応するタイマ選択のアルゴリズムを一般化すると、プロセッサ内のn個のタイマに関し、処理開始時点から数えてn回目のインターバルタイマ割り込みイベントの発生までは、該n個のタイマから任意の一つを選択し、かつ前記n個のタイマの任意の一つのタイマについては、該タイマを、当該タイマが選択された直後の時点から数えて、丁度n回目の前記インターバルタイマ割り込みイベントの発生を契機として反復して選択するアルゴリズムとなる。

【0041】すなわち、処理開始時点から数えて、n回目のインターバルタイマ割り込みイベントの発生までは、n個のタイマを重複無く選択するとの制限があるだけであり、本来、その選択の順序は任意であり、それ故、処理開始時点から数えて、n回目のインターバルタイマ割り込みイベントの発生までのタイマ選択の順序は、本発明に係る割り込み処理方式とは関係無く、処理上の他の設計要因を考慮して決定することも可能である。

【0042】なお、上記の説明で、重複の無い選択とは、一度選択したタイマは、次の選択対象からは除外するという意味である。

【0043】(第2の実施の形態)本発明の第2の実施の形態に係る割り込み処理方式の構成と動作は本発明の第1の実施の形態に係る割り込み処理方式と同じである。但し、上記の第1の実施の形態に係る割り込み処理方式においては、一つのインターバルタイマ割り込みイベントの発生によって選択される処理対象は、1個のタイマに限定されていたが、第2の実施の形態に係る割り込み処理方式では、上記選択される処理対象は、複数のタイマによって構成されるm個($m < n$)のタイマ群となる。

【0044】このようなタイマ群の任意の一つに属するタイマは、上記の割り込みイベントの発生によって、全て逐次処理される。すなわち、このようなタイマ群を処理する処理単位の内部では、該タイマ群に属するタイマによって、図5に示すような構成が組まれており、しかも、該タイマ群に属する全てのタイマの処理に要するトータル処理時間は、予め見積もられている。

【0045】上記のとおり、1個のインターバルタイマ割り込みイベントの発生で、全てのタイマの処理を一度に行っていた従来の割り込み処理方式では、引き続いて、ほぼ同時刻に、他の割り込みイベントが発生しても、タイムアウト済の全てのタイマの再設定処理を完了する前に、上記他の割り込みイベントが解除されてしまう最悪ケースの場合には、該割り込みイベントの発生を認識できなかったが、本発明に係る割り込み処理方式によれば、同時発生的な他の割り込みイベントが維持されるべき時間は、1個のタイマに必要な処理時間、又は特定のタイマ群の予め見積もり済のトータル処理時間に短縮されているので、上記他の割り込みイベントの発生を漏れなく認識することが可能である。

【0046】

【発明の効果】本発明に係る割り込み処理システムの第1の効果は、複数のタイマが同時にタイムアウトする状態をなくすことである。

【0047】また、本発明に係る割り込み処理システムの第2の効果は、複数のタイマのタイムアウトが重なった場合に起こるタイマ割り込み処理の過負荷を押さえることが可能であることである。

【0048】さらに、本発明に係る割り込み処理システムの第3の効果は、他の割り込みとの競合を最小限に押さえることが可能となることである。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る割り込み処理方式を採用した全体システムの動作環境を示すハードウェアの構成図である。

【図2】本発明の実施の形態に係る割り込み処理方式を採用した全体システムの動作を示すフローチャートである。

【図3】本発明の実施の形態に係る割り込み処理方式のタイマ処理部におけるタイマ選択機構の動作を示すフロ

ーチャートである。

【図4】従来の技術による割り込み処理方式を採用した全体システムの動作環境を示すハードウェアの構成図である。

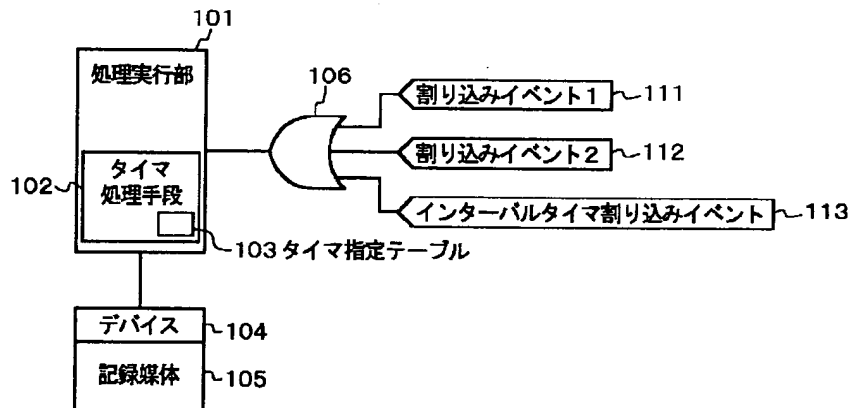
【図5】従来の技術による割り込み処理方式のタイマ処理部におけるタイマ選択機構の動作を示すフローチャートである。

【符号の説明】

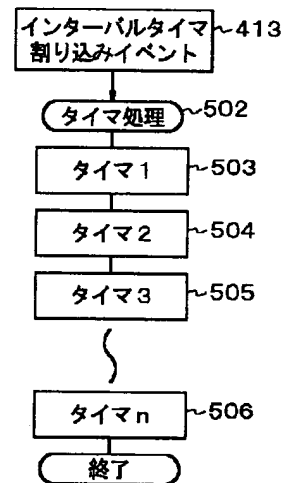
101 処理実行部
102 タイマ処理手段
103 タイマ指定テーブル
104 デバイス
105 記録媒体
106 選択部
111 割り込みイベント1
112 割り込みイベント2
113 インターバルタイマ割り込みイベント
201 割り込み処理1
211 割り込み処理2

221 タイマ割り込み処理
231 メイン処理
302 タイマ選択手段
303 タイマ1
304 タイマ2
305 タイマ3
306 タイマn
311 タイマ指定部
401 プロセッサ
402 OR論理回路
411 割り込みイベント1
412 割り込みイベント2
413 インターバルタイマ割り込みイベント
502 タイマ処理
503 タイマ1
504 タイマ2
505 タイマ3
506 タイマn

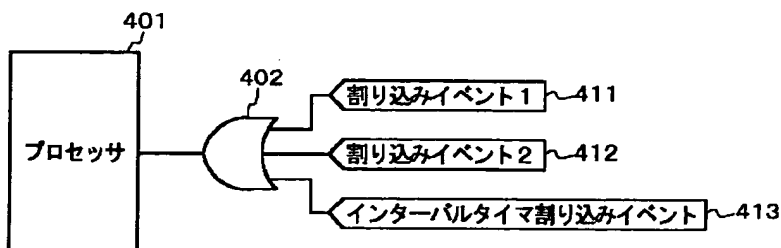
【図1】



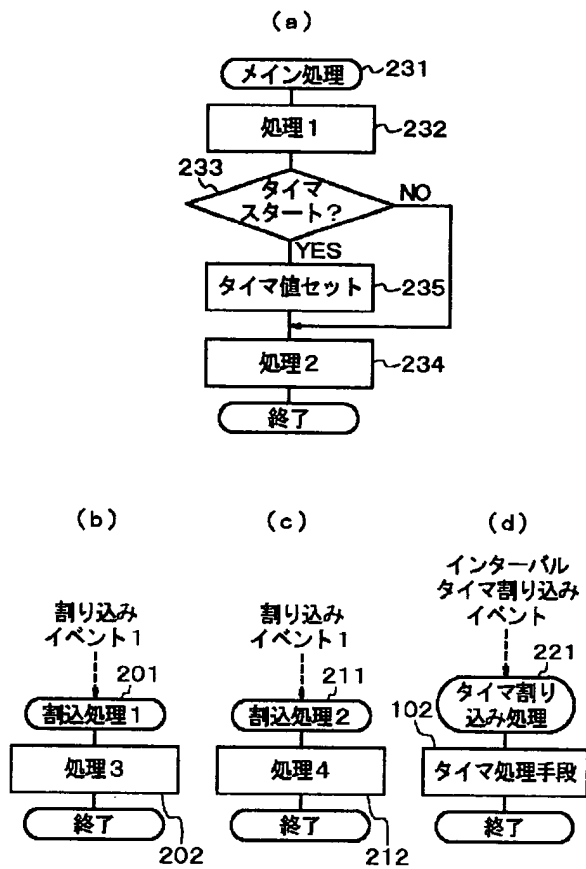
【図5】



【図4】



【図2】



【図3】

